

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Noriyuki MIURA :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: December 9, 2003 : Attorney Docket No. OKI.631
For: SOI TYPE MOSFET

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

Appln. No. 2003-296573 filed August 20, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: December 9, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 2 0 日
Date of Application:

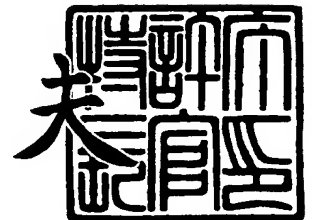
出 願 番 号 特 願 2 0 0 3 - 2 9 6 5 7 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 9 6 5 7 3]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 3 年 1 1 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 OH003855
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内
 【氏名】 三浦 規之
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【代理人】
 【識別番号】 100085419
 【弁理士】
 【氏名又は名称】 大垣 孝
【手数料の表示】
 【予納台帳番号】 012715
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001068

【書類名】 特許請求の範囲**【請求項 1】**

SOI 基板の第 1 導電型の SOI 層と、該 SOI 層にチャネル領域を挟んで設けられた第 2 導電型のソース領域及びドレイン領域と、該 SOI 層の上側のゲート絶縁膜と、該ゲート絶縁膜の上側のゲート電極とを具える半導体装置において、

前記ソース領域と前記ドレイン領域との間の、前記 SOI 層の領域であって、前記ゲート絶縁膜の下側の当該領域に形成された埋め込み絶縁膜と、該埋め込み絶縁膜と前記ゲート絶縁膜との間に、該埋め込み絶縁膜の上面に接して形成された、チャネル領域として供するノンドーピングシリコン膜とを具えることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記ソース領域及び前記ドレイン領域に個別に接し、かつ前記チャネル領域側に互いに離間して形成された、前記ソース領域及び前記ドレイン領域よりも第 2 導電型の不純物の濃度が低い二つの低濃度領域を具えることを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、

前記ソース領域及び前記ドレイン領域に個別に接し、かつ前記チャネル領域側に互いに離間して形成された、前記ソース領域及び前記ドレイン領域と第 2 導電型の不純物の濃度が同じである二つのエクステンション領域を具えることを特徴とする半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置において、

前記ソース領域及び前記ドレイン領域に接し、かつ前記チャネル領域側に形成された、前記ソース領域及び前記ドレイン領域よりも第 2 導電型の不純物の濃度が低い二つの低濃度領域と、

前記ソース領域及び前記ドレイン領域に接し、かつ前記チャネル領域側に形成された、前記ソース領域及び前記ドレイン領域と第 2 導電型の不純物の濃度が同じであるエクステンション領域を具える

ことを特徴とする半導体装置。

【請求項 5】

請求項 1 ～ 4 のいずれかに記載の半導体装置において、

前記埋め込み絶縁膜の下側の、SOI 層の領域の不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上である

ことを特徴とする半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置

【技術分野】

【0001】

この発明は、半導体装置、特にSOI (Silicon On Insulator) 基板を用いたMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) に関する。

【背景技術】

【0002】

従来のSOI基板に形成されたMOSFETは、通常のバルク基板(Si基板)のMOSFETと同様のプロセスによって形成される。例えば、通常のバルク基板と同様のプロセスを用いて、SOI基板に対してMOSFETを形成する方法が示されている(非特許文献1)。以下にその概略を図9を参照して説明する。

【0003】

Si基板202上にBOX層204及びSOI層206を順次積層したSOI基板200を用意する(図9(A))。BOX層204は埋め込みシリコン酸化膜であり、SOI層はBOX層上に形成されたシリコン層である。

【0004】

SOI基板200のSOI層206を犠牲酸化して、この犠牲酸化された部分を除去することにより、SOI層の膜厚を調整する(図示せず)。LOCOS (Local oxidation) 法又はSTI (Shallow Trench Isolation) 法により、素子分離領域208となる酸化膜を形成する。この素子分離領域によって囲まれた領域が、NMOS形成領域210及びPMOS形成領域212となる(図9(B))。

【0005】

次に、NMOS形成領域210及びPMOS形成領域212のそれぞれに対してしきい値制御イオン注入を行い、Pウェル領域214及びNウェル領域216を形成する。次いで、ゲート酸化膜218を形成する。このゲート酸化膜218の形成は、しきい値制御イオン注入の前に行っても良い。ゲート酸化膜218上に、ノンドープのポリシリコン膜を形成し、所望のゲートパターンのレジストパターンを用いてエッチングを行い、ノンドープシリコン膜220を形成する(図9(C))。

【0006】

NMOS形成領域210及びPMOS形成領域212のそれぞれについて、ソース・ドレインイオン注入を行う。ここでは、LDD (lightly doped drain) 構造の例を示しているため、パターンニングされたポリシリコン膜をマスクとして、低濃度の不純物注入をNMOS形成領域210及びPMOS形成領域212にそれぞれ先に行い、 n^- 領域222及び p^- 領域224を形成する。次いで、ポリシリコン膜220の側面に絶縁膜でサイドウォール226を形成して、このサイドウォール226とポリシリコン膜220をマスクとして、NMOS形成領域210及びPMOS形成領域212に対して、それぞれイオン注入を行い、ソース・ドレイン領域となる n^+ 領域228及び p^+ 領域232形成する。このとき、ノンドープポリシリコン膜220にもイオン注入による不純物ドーピングが行われ、NMOS側は n 型不純物のドーピングされたゲート電極となる n^+ ポリシリコン膜230が、PMOS側は p 型不純物がドーピングされたゲート電極となる p^+ ポリシリコン膜234が形成される(図9(D))。

【0007】

次に、ソース・ドレイン領域及びゲート電極のシート抵抗を軽減するためにシリサイド膜236を形成する(図9(E))。

【0008】

層間絶縁膜238を成膜後、コンタクトホールを形成し、バリアメタル240及びコンタクト242をコンタクトホールに形成する。次いでメタル配線244を形成し、MOSFETが形成される(図9(F))。

【0009】

以上のようなプロセスで形成されたSOIトランジスタでは、素子の微細化にともないゲート長が短くなるにつれてしきい値電圧 (V_{th}) が低下するいわゆる短チャネル効果 (SCE: short channel effect) が起こる。短チャネル効果は、しきい値電圧のばらつきの悪化を引き起こすため、その抑制は重要である。

【0010】

この短チャネル効果を抑制するためには、SOI層を薄くすることが効果的であることが知られている (非特許文献2)。

【0011】

図10は、上述の従来工程により得られた半導体装置におけるしきい値 (V_{th}) ロールオフ (縦軸: 単位 (mV)) とゲート長 (横軸: 単位 (μm)) との関係を表した図である。SOI層の膜厚が、46 nm、95 nm、142 nmの場合について、 V_{th} ロールオフがゲート長の値によってどのように変化するかを表している。ここでは、ゲート長10 μm の場合のしきい値電圧と各ゲート長でのしきい値電圧との差を V_{th} ロールオフとしている。SOI層の膜厚が薄いほど、ゲート長が短くなったときの V_{th} ロールオフの値が小さくなっている。このことから、SOI層の膜厚を薄くすることが、短チャネル効果を抑制するのに有効であることがわかる。

【0012】

また、チャネル領域の下方に絶縁層を設けた半導体装置がいくつか知られている。例えば、チャネル長を短くすることによって生じるパンチスルー電流を防ぐために、ソース或いはドレイン領域に接して、かつチャネル領域よりも深い領域に絶縁層を形成することが提案されている (特許文献1)。或いは、パンチスルー特性とサブスレッショルド特性の両方を向上させるために、チャネル領域の下方のSi基板内に、絶縁層または半絶縁層を形成することが提案されている (特許文献2)。或いは、パンチスルー現象の発生を抑制するために、ソース領域とドレイン領域との間のSi基板内に絶縁膜を形成することが提案されている (特許文献3)。特許文献1～3では、すべて一般的なバルク基板上に、半導体装置が形成されている。また、SOI基板上に形成される埋め込み酸化膜 (BOX酸化膜) を、ゲート電極の下側のみ浅い位置に形成して、SOI層を薄くすることにより、ソース及びドレイン領域やエクステンション層の抵抗上昇を抑えた完全空乏型のトランジスタを形成する方法が提案されている (特許文献4)。

【特許文献1】特開昭63-313865号公報

【特許文献2】特開平7-211902号公報

【特許文献3】特開平8-51198号公報

【特許文献4】特開2001-135821号公報

【非特許文献1】L.T.Su et al., Proc. IEDM93, pp. 723-726 (1995).

【非特許文献2】N.Kistler et al., Solid State Electronics, vol. 39, No. 4, pp. 445-454 (1996).

【発明の開示】

【発明が解決しようとする課題】

【0013】

携帯端末に用いられる半導体装置のように、待機電力の消費を小さくしたい機器の場合には、動作速度を速くすることよりも、オフリーク電流 I_{off} を小さくすることを優先した半導体装置が用いられる。このようなオフリーク電流を低く設定した ($I_{off} < 1 E - 11 A / \mu m$ 、しきい値電圧0.4 V程度) トランジスタにおいて、上述した短チャネル効果を抑制するためのSOI層の薄膜化は、以下のような問題を生じる。

【0014】

ここでは、完全空乏型の薄膜SOIトランジスタの場合を例にして説明する。完全空乏型とは、ソース・ドレイン領域間のSOI層がすべて空乏化している状態を指し、一般にはSOI層の膜厚が50 nm程度以下になっているものを指す。

【0015】

しきい値電圧 V_{th} (V) は、電位 ϕ_F (V)、素電荷 q (C)、フラットバンド電圧 V_f

b (V)、SOI層のボディ濃度 N_a (cm^{-3})、SOI層の膜厚 T_{soi} (nm) 及びゲート酸化膜容量 C_{ox} (F) を用いて、以下のような式 (1) であらわすことができる。

【0016】

$$V_{\text{th}} = V_{\text{fb}} + \phi_F + q \times N_a \times T_{\text{soi}} / C_{\text{ox}} \quad \dots (1)$$

なお、電位 ϕ_F は、フェルミレベル E_F (eV)、真性半導体のフェルミレベル E_i (eV) を用いて、 $\phi_F = (E_F - E_i) / q$ によって求められる値である。 $2 \times \phi_F$ の値をストロング・インバージョン・ポテンシャル (strong inversion potential) と呼び、表面ポテンシャルが、この $2 \times \phi_F$ の値を超えると反転が起こる。 V_{fb} は、ゲート電極仕事関数 W_m 、シリコン仕事関数 W_s 及び界面電荷密度 Q_{ox} によって、 $V_{\text{fb}} = (W_m - W_s) - Q_{\text{ox}} / C_{\text{ox}}$ で求められる値である。 $(W_m - W_s)$ の値は、仕事関数差と呼ばれる。

【0017】

例えば、従来構造の SOI 基板に形成された NMOSFET (SOI-NMOSFET と称する。) の場合、ゲート電極として n^+ ポリシリコン (W_m : 4.15 V 程度、 W_s : 約 4.7 V、仕事関数差: -0.5 V 程度) が用いられる。

【0018】

図 11 は、従来構造の SOI-NMOSFET のゲート長 (横軸: 単位 (μm)) としきい値電圧 V_{th} (縦軸: 単位 (V)) との関係を表した図である。1 点破線で示す曲線 (I) は、SOI 層に不純物をドーピングしていない場合、及び実線で示す曲線 (II) は p 型不純物を $1 \text{ E } 18 \text{ cm}^{-3}$ 程度ドーピングした場合を表している。しきい値電圧を 0.4 V 程度に調節するためには、p 型不純物濃度すなわち SOI 層のボディ濃度 N_a を $1 \text{ E } 18 \text{ cm}^{-3}$ 以上にしなければならないことがわかる。

【0019】

図 12 は、図 11 の SOI 層のボディ濃度 N_a を $1 \text{ E } 18 \text{ cm}^{-3}$ 以上にした場合の SOI-NMOSFET の横方向のプロファイル (横軸: 単位 (μm)) と不純物濃度 (縦軸: 単位 (cm^{-3})) との関係を示したものである。実線で示す曲線 (I) は p 型不純物であるホウ素 (B) の濃度、1 点破線で示す曲線 (II) は n 型不純物である砒素 (As) の濃度、及び破線で表す曲線 (III) はキャリア濃度をそれぞれ表している。チャネル領域での p 型不純物濃度は、 $2 \text{ E } 18 \text{ cm}^{-3}$ 程度となっており、かなり高濃度の不純物濃度であることがわかる。

【0020】

このように、SOI 層のボディ濃度すなわちチャネル濃度が、 $1 \text{ E } 18 \text{ cm}^{-3}$ を越えるような場合、キャリアの移動度 (NMOSFET では電子移動度) の低下が問題となってくる。この移動度の低下は、トランジスタの駆動電流の低下につながる。

【0021】

図 13 は、電子移動度 (縦軸: 単位 ($\text{cm}^2 / (\text{V} \cdot \text{s})$)) と垂直実効電界 (横軸: 単位 (mV / cm)) との関係を表している。このグラフは、移動度ユニバーサルカーブとも呼ばれる。(I) ~ (V) で示す各グラフは、ボディ濃度 N_a (単位: cm^{-3}) が、それぞれ、(I): 3×10^{17} 、(II): 1.3×10^{18} 、(III): 1.8×10^{18} 、(IV): 2.5×10^{18} 、及び (V): 3.3×10^{18} の場合を表している。電子移動度は、ボディ濃度が高くなるほど小さくなっている。図 13 中に、破線の矢印で示した垂直実効電界の値が、印加ゲート電圧を 1.0 V にした場合に相当する。このように、ボディ濃度 N_a が高くなると電子移動度は大きく低下していくことがわかる。よって、SOI 層の不純物濃度を高くすると、電子移動度が下がり、その結果、トランジスタの駆動電流すなわちトランジスタ駆動力が低下する。

【0022】

上述したように、オフリーク電流が小さく設定され、かつ SOI 基板に形成される MOSFET では、その微細化及び薄膜化に伴いチャネル濃度上昇が必要となる。しかしながら、このチャネル濃度上昇によってトランジスタ駆動力の低下が起こるという問題点があった。

【課題を解決するための手段】

【0023】

上述した問題の解決を図るため、この発明の半導体装置は、下記の構成を具えている。すなわち、SOI基板の第1導電型のSOI層と、SOI層にチャネル領域を挟んで設けられた第2導電型のソース領域及びドレイン領域と、SOI層の上側のゲート絶縁膜と、ゲート絶縁膜の上側のゲート電極とを具え、ソース領域とドレイン領域との間の、SOI層の領域であって、ゲート絶縁膜の下側の領域に形成された埋め込み絶縁膜と、埋め込み絶縁膜とゲート絶縁膜との間に、埋め込み絶縁膜の上面に接して形成された、チャネル領域として供するノンドープシリコン膜とを具える。

【0024】

上述のSOI基板は、シリコン基板上に、シリコン酸化膜であるBOX層、シリコン膜であるSOI層が順次に積層された構成になっている。

【発明の効果】

【0025】

この発明の半導体装置によれば、ソース及びドレイン領域間のSOI層に形成された埋め込み絶縁膜の下側に不純物濃度（ボディ濃度）の高いSOI層の領域を設けておくことによって短チャネル効果を抑制し、かつこの埋め込み絶縁膜の上側のSOI層の領域内にノンドープシリコン膜を設けておくことによって、電子の移動する領域の不純物濃度を下げて電子移動度を高くできる。これにより、オフリーク電流が小さく設定され、かつSOI基板上に形成されるMOSFETにおける、微細化及び薄膜化に伴うチャネル濃度上昇に起因するトランジスタ駆動力の低下を抑制することができる。

【発明を実施するための最良の形態】

【0026】

以下、図面を参照して、この発明を実施するための最良の形態を説明する。尚、製造方法を説明する各図は、製造工程の各段階で得られる構造体の断面切り口を概略的に示している。また、構造体を構成する各構成要素の大きさ、形状及び配置関係は、この発明が理解できる程度に概略的に示してある。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

【0027】

以下、一例としてNMOSFETの場合について説明する。よって、p型が第1導電型、及びn型が第2導電型に相当する。

【0028】

<第1の実施の形態>

図1は、この発明の第1の実施の形態の半導体装置を表す概略的な断面図である。

【0029】

図1に示す構成例の半導体装置につき説明する。

【0030】

Si基板102上に、埋め込みシリコン酸化膜であるBOX層104が積層されている。このBOX層104上にSOI層112が形成されている。このSOI層112にチャネル領域を挟んで互いに離間してn型不純物拡散層である、ソース領域130及びドレイン領域131がそれぞれ設けられている。ソース領域130とドレイン領域131との間のSOI層112の上側には、ゲート絶縁膜であるゲート酸化膜118を介してゲート電極120が形成されている。ソース領域130及びドレイン領域131に個別に接して、かつ、チャネル領域側のSOI層には、二つの低濃度領域としてのLDD領域124が互いに離間して形成されている。ゲート電極120の側面には、サイドウォール126が形成されている。ソース領域130とドレイン領域131との間のSOI層の、ゲート酸化膜118の下側の領域には、埋め込み絶縁膜114aが形成されている。また、埋め込み絶縁膜114aは、BOX層104には接しないように形成されている。ここでは、埋め込み絶縁膜114aはシリコン酸化膜で形成されている。埋め込み絶縁膜114aのチャネル長方向の幅は、チャネル長と同等の幅であるのが好適である。また、この埋め込み絶縁膜114aは、LDD領域124に対して、10～20nm程度埋め込まれていても良

い。この埋め込み絶縁膜 114 a とゲート酸化膜 118 との間の、SOI 層 112 の領域には、ノンドープシリコン膜 116 が形成されている。また、このノンドープシリコン膜 116 は、埋め込み絶縁膜 114 a の上面に接して設けられていて、チャンネル領域として供している。埋め込み絶縁膜 114 a の下側の、SOI 層 112 の領域は、p 型不純物濃度（ボディ濃度ともいう。）が、 10^{18} cm^{-3} 以上になっている。

【0031】

このように、第 1 の実施の形態の半導体装置は、従来の半導体装置に対して、チャンネル直下のソース及びドレイン領域間に、埋め込み絶縁膜 114 a を具え、この埋め込み絶縁膜 114 a とゲート酸化膜 118 との間にはノンドープシリコン膜 116 が形成され、この埋め込み絶縁膜 114 a の下側の、SOI 層 112 の領域は、高いボディ濃度に形成されている点が異なっている。高いボディ濃度の SOI 層 112 によって短チャンネル効果が防止され、かつ、ノンドープシリコン膜 116 が電子が移動するチャンネル領域に形成されていることから、不純物による移動度の低下を防ぐことができるため、駆動電流の低下を従来よりも抑制することができる。

【0032】

図 2～4 を参照して、第 1 の実施の形態の半導体装置の製造方法を説明する。

【0033】

まず、SOI 基板 100 を用意する。SOI 基板 100 には、Si 基板 102、BOX 層 104、及び SOI 層 106 が順に積層されている（図 2（A））。SOI 層の膜厚は、膜厚調整酸化（犠牲酸化膜の形成及び除去）によって、所望の厚さに調整する。SOI 基板は、例えば、BOX 層の膜厚が 100～200 nm のものを用い、SOI 層 106 の膜厚を 30～50 nm に調整する。

【0034】

SOI 層 106 の表面に、酸化膜 108 を、例えば熱酸化により 10 nm 程度積層する。酸化膜 108 は、しきい値制御イオンのイオン注入による SOI 層のダメージを防ぐために成膜する（図 2（B））。

【0035】

次に、酸化膜 108 を介して SOI 層 106 にしきい値制御イオン 110 を注入して SOI 層 112 を形成する。ここでは、例えば p 型の不純物である BF₂ イオンをエネルギー 15 keV、及びドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入することにより、SOI 層 112 中の不純物濃度（ボディ濃度ともいう。）が 10^{18} cm^{-3} 以上となるようにする（図 2（C））。次いで、酸化膜 108 を除去する（図 2（D））。

【0036】

ここまでの SOI 層のボディ濃度を 10^{18} cm^{-3} 以上に形成する工程は一例であり、公知の方法によって、SOI 基板にボディ濃度が 10^{18} cm^{-3} をこえるように SOI 層が形成されていれば、どのような方法で形成してもよい。

【0037】

次に、酸化膜 114 を、例えば、熱酸化或いは CVD 法により 10 nm 程度成膜する（図 3（A））。この酸化膜 114 を、公知のホトリソ・エッチング技術によりパターンニングして、埋め込み絶縁膜 114 a を形成する。この埋め込み絶縁膜 114 a は、平面的に見てゲート電極形成予定領域 115 のみに残存するように島状にパターンニングする（図 3（B））。このようにパターンニングしておけば、最終的にチャンネル領域の直下に、埋め込み絶縁膜 114 a が形成できる。この埋め込み絶縁膜 114 a のゲート長方向の形成範囲は、ゲート電極の形成領域と同じ範囲、或いは、後に形成する LDD 領域と 10～20 nm 程度重なる範囲とすると良い。

【0038】

次に、埋め込み絶縁膜 114 a を含む SOI 層 112 上に、ノンドープシリコン膜 116 をエピタキシャル成長によって 5～10 nm の膜厚で成膜する（図 3（C））。

【0039】

次いで、ノンドープシリコン膜 116 上にゲート酸化膜 118 を、例えば熱酸化により

2 ～ 5 nm 程度の膜厚で形成する。

【0040】

さらに、ゲート酸化膜 118 上に、ポリシリコン膜を CVD 法により 200 nm 程度の膜厚で成膜する。次いで、ゲート電極のパターンに公知のホトリソ・エッチング技術によりパターンニングし、ゲート電極 120 を形成する（図 4（A））。

【0041】

次に、n 型の不純物イオン 122 を後に形成するソース領域及びドレイン領域より低濃度となるようにイオン注入して LDD 領域を形成する。例えば、SOI 層 112 及びノンドーブ層 116 に対して、ゲート電極 120 をマスクとして、ゲート酸化膜 118 を介して砒素（As）あるいはリン（P）イオンを注入エネルギー 10 keV 程度、及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入して LDD 領域 124 を形成する（図 4（B））。

【0042】

シリコン酸化膜を CVD 法により、膜厚 100 nm 程度積層し、異方性エッチングすることによりサイドウォール 126 を形成する。ソース領域 130 及びドレイン領域 131 を形成するための不純物イオン 128 のイオン注入を行う。例えば、LDD 領域 124 に対して、ゲート電極 120 及びサイドウォール 126 をマスクとして、As 或いは P イオンを注入エネルギー 10 keV 及びドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入する。このとき、ゲート電極 120 にも n 型不純物として As 或いは P がドーピングされる（図 4（C））。

【0043】

ソース・ドレイン領域の活性化を行うために、RTA（rapid thermal anneal）処理を行う。例えば、1000℃及び10秒以下程度でRTA処理し、ソース・ドレイン領域及びゲート電極の活性化を行う。以下、従来の工程と同様に、ソース・ドレイン領域及びゲート電極の表面にシリサイドを形成し、層間絶縁膜の積層、コンタクト形成その他必要な工程を行い、然る後、配線を形成することにより、NMOSFETが形成される（図示せず）。

【0044】

図5は、第1の実施の形態による半導体装置のトランジスタ特性を表す図である。

【0045】

ここでは、TCAD（Technology computer aided design）シミュレーションを用いて、しきい値電圧 V_{th} を 0.4 V でそろえたときの NMOSFET のトランジスタ特性を従来の NMOSFET と第1の実施の形態の NMOSFET とで比較する。従来の NMOSFET とは、図14に示したように、第1の実施の形態の半導体装置に埋め込み絶縁膜 114a 及びノンドーピングシリコン膜 116 を具えていないものである。

【0046】

図5（A）は、ゲート電圧（横軸：単位（V））とドレイン電流（縦軸：単位（ $\mu\text{A}/\mu\text{m}$ ））の関係を表す図である。（I）～（IV）の4本のグラフにおいて、一点波線で示した（I）及び（II）は、第1の実施の形態の NMOSFET であり、（I）はドレイン電圧が 50 mV の場合、及び（II）はドレイン電圧が 1.0 V の場合をそれぞれ示している。実線で示した（III）及び（IV）は、従来の NMOSFET であり、（III）はドレイン電圧が 50 mV の場合、（IV）はドレイン電圧が 1.0 V の場合を示している。ドレイン電圧が 50 mV、1.0 V いずれの場合も、従来の NMOSFET よりも、第1の実施の形態の NMOSFET の方がドレイン電流が大きくなっている。例えば、ドレイン電圧が 1.0 V、及びゲート電圧が 1.0 V の場合、従来の NMOSFET ではドレイン電流が 200 ($\mu\text{A}/\mu\text{m}$) であるが、第1の実施の形態の NMOSFET では、ドレイン電流が 230 ($\mu\text{A}/\mu\text{m}$) であって、ドレイン電流が従来よりも 30 ($\mu\text{A}/\mu\text{m}$) 程度大きくなっている。同様に、ドレイン電圧が 50 mV、及びゲート電圧が 1.0 V の場合、従来の NMOSFET ではドレイン電流が 29 ($\mu\text{A}/\mu\text{m}$) であるが、第1の実施の形態の NMOSFET では、ドレイン電流が 37 ($\mu\text{A}/\mu\text{m}$) であり、8 ($\mu\text{A}/\mu\text{m}$)

程度ドレイン電流が大きくなっている。

【0047】

図5(B)は、ドレイン電圧(横軸:単位(V))とドレイン電流(縦軸:単位($\mu\text{A}/\mu\text{m}$))の関係を表す図である。一点波線で示したグラフ(V)、(VI)及び(VII)は、第1の実施の形態のNMOSFETであり、(V)はゲート電圧1.0Vの場合、(VI)はゲート電圧0.75Vの場合及び(VII)はゲート電圧0.5Vの場合をそれぞれ示している。実線で示したグラフ(VIII)、(IX)及び(X)は、従来のNMOSFETであり、(VIII)はゲート電圧1.0Vの場合、(IX)はゲート電圧0.75Vの場合及び(X)はゲート電圧0.5Vの場合をそれぞれ示している。いずれのゲート電圧の場合も、従来のNMOSFETよりも第1の実施の形態のNMOSFETの方がドレイン電流の値が大きくなっている。

【0048】

このように、第1の実施の形態の半導体装置では、埋め込み絶縁膜114a下側の、SOI層の領域のボディ濃度を高くすることによって短チャネル効果を抑制すると同時に、埋め込み絶縁膜114aの上側の電子が移動するチャネル領域は、チャネル領域として供するノンドーピングシリコン膜116が形成されていることから、不純物濃度は限りなく低い。これにより、低オフリーク電流に設定されたトランジスタでも、反転層移動度の低下を防ぐことができるため、従来の半導体装置よりも駆動電流を向上することができる。

【0049】

<第1の実施の形態の変形例>

第1の実施の形態では、LDD領域を形成する例について説明したが、LDD領域のかわりにエクステンション層を形成してもよい。図6に、エクステンション層132を形成した場合のNMOSFETの構成例を示す。図1のLDD領域124の代わりに、二つのエクステンション層132がSOI層112に形成されている。エクステンション層132は、SOI層112のソース領域130及びドレイン領域131とノンドーピングシリコン膜116との間で、SOI層の表面側の領域にBOX酸化膜104と接しないように形成されている。エクステンション層132の不純物濃度は、ソース・ドレイン領域と同程度の濃度である。

【0050】

エクステンション層を具えたNMOSFETを形成する場合には、第1の実施の形態で示した半導体装置の製造方法において、LDD領域形成のためのイオン注入の工程の代わりに、SOI層の、ゲート酸化膜118側の表面に近い浅い領域にn型不純物を高濃度、例えば、注入エネルギー10keV及びドーズ量 $1\text{E}15\text{cm}^{-2}$ 程度でイオン注入を行えばよい。

【0051】

使用する電源電圧の値が小さい場合には、ボディ濃度が高濃度のSOI層とソース領域及びドレイン領域との接合領域の抵抗緩和を考慮しなくても良いので、LDD領域のかわりにエクステンション層を設けると良い。

【0052】

<第2の実施の形態>

第1の実施の形態の半導体装置は、LDD領域或いはエクステンション領域のどちらか一方が形成されている構成となっていた。これに対し、第2の実施の形態の半導体装置では、LDD領域及びエクステンション領域が双方設けられている。

【0053】

図7は、第2の実施の形態の半導体装置の構成例を示す概略的な断面図である。

【0054】

第1の実施の形態の半導体装置に形成されていたLDD領域124及びエクステンション層132が双方とも形成されている。エクステンション層132は、LDD領域124とゲート酸化膜118との間に形成されている。

【0055】

次に、第2の実施の形態の半導体装置の製造方法を説明する。

【0056】

第1の実施の形態の製造方法と同様の方法により、低濃度領域であるLDD領域124を形成する工程(図4(B)に相当)までを行う(図8(A))。

【0057】

n型の不純物イオン134をSOI基板の表面の浅い領域にイオン注入してエクステンション層132を形成する。例えば、SOI層112に対しては、ゲート電極120をマスクとして、ゲート酸化膜118を介して砒素(As)イオンを注入エネルギー5keV及びドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入してエクステンション層132を形成して、図8(B)に示す構造体を得る。この場合には、エクステンション層132は、LDD領域124の表面領域に形成される。

【0058】

次に、シリコン酸化膜をCVD法により、図8(B)の構造体の上側に、膜厚100nm程度積層した後、異方性エッチングすることによりサイドウォール126を形成する。次に、ソース領域130及びドレイン領域131を形成するための不純物イオン128のイオン注入を行う。例えば、LDD領域124及びエクステンション層132に対して、ゲート電極120及びサイドウォール126をマスクとして、As或いはPイオンを注入エネルギー10keV及びドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入することにより、ソース領域130及びドレイン領域131を形成する。このとき、ゲート電極120にもn型不純物としてAs或いはPがドーパされる(図8(C))。このようにして、エクステンション層132及びLDD領域124の双方を具えたNMOSFETが形成される。

【0059】

第2の実施の形態の半導体装置によれば、第1の実施の形態の半導体装置と同様に電子が移動するチャネル領域の不純物濃度は低いので、反転層移動度の低下は小さい。また、ボディ濃度の高いSOI層とソース領域及びドレイン領域との間の接合領域濃度がLDD領域によって緩和されているため、再結合電流が抑制され、よって、オフリーク電流の抑制が図れる。また、接合領域の電界も緩和されるため、ソース・ドレイン耐性の向上も図れる。

【0060】

上述の実施の形態では、NMOSFETについて説明したが、導電型を逆にすることにより、PMOSFETにも同様に適用できる。

【図面の簡単な説明】

【0061】

【図1】第1の実施の形態の半導体装置の構成例を説明するための、断面切り口を示す図である。

【図2】(A)～(D)は、第1の実施の形態の半導体装置の製造方法を説明するための工程図である。

【図3】(A)～(C)は、図2(D)の工程に続く工程図である。

【図4】(A)～(C)は、図3(C)の工程に続く工程図である。

【図5】(A)及び(B)は、第1の実施の形態の半導体装置の電流と電圧との関係を説明するための図である。

【図6】第1の実施の形態の半導体装置の変形例の説明に供する、断面切り口を示す図である。

【図7】第2の実施の形態の半導体装置の構成例を説明するための、断面切り口を示す図である。

【図8】(A)～(C)は、第2の実施の形態の半導体装置の製造方法を説明するための部分的工程図である。

【図9】(A)～(F)は、従来の半導体装置の製造方法の説明に供する工程図である。

【図10】従来の半導体装置のゲート長と V_{th} ロールオフとの関係を説明するための

図である。

【図 1 1】従来の半導体装置のゲート長としきい値電圧との関係を説明するための図である。

【図 1 2】従来の半導体装置の不純物濃度と横方向のプロファイルとの関係を説明するための図である。

【図 1 3】従来の半導体装置の垂直実効電界と電子移動度との関係を説明するための図である。

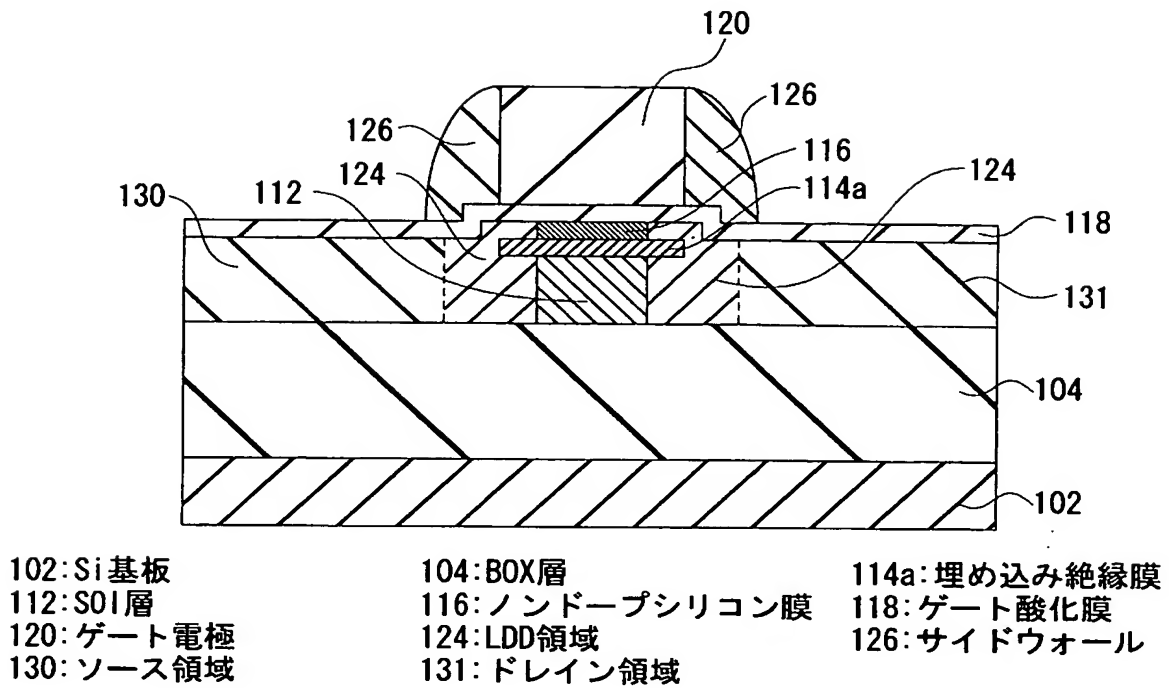
【図 1 4】従来の半導体装置の構造の説明に供する、断面切り口を示す図である。

【符号の説明】

【0062】

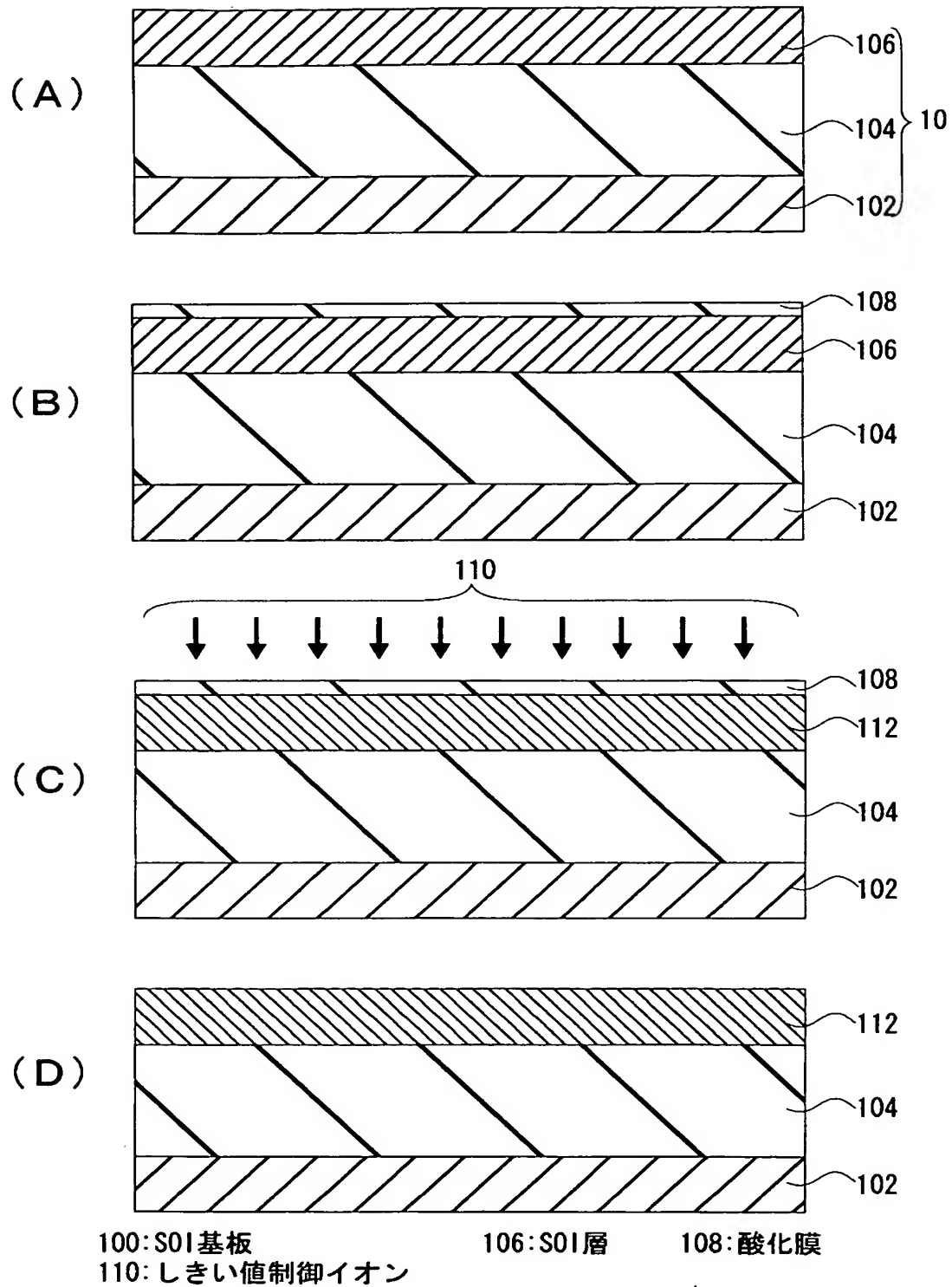
100、200：SOI基板
102、202：Si基板
104、204：BOX層
106、112、206：SOI層
108：酸化膜
110：しきい値制御イオン
114：酸化膜
114a：埋め込み絶縁膜
115：ゲート電極形成予定領域
116、220：ノンドープシリコン膜
118、218：ゲート酸化膜
120：ゲート電極
122、128、134：不純物イオン
124：LDD領域
126、226：サイドウォール
130：ソース領域
131：ドレイン領域
132：エクステンション層
208：素子分離領域
210：NMOS形成領域
212：PMOS形成領域
214：Pウエル領域
216：Nウエル領域
222：n⁻領域
224：p⁻領域
228：n⁺領域
230：n⁺ポリシリコン膜
232：p⁺領域
234：p⁺ポリシリコン膜
236：シリサイド層
238：層間絶縁膜
240：バリアメタル
242：コンタクト
244：配線

【書類名】 図面
【図 1】



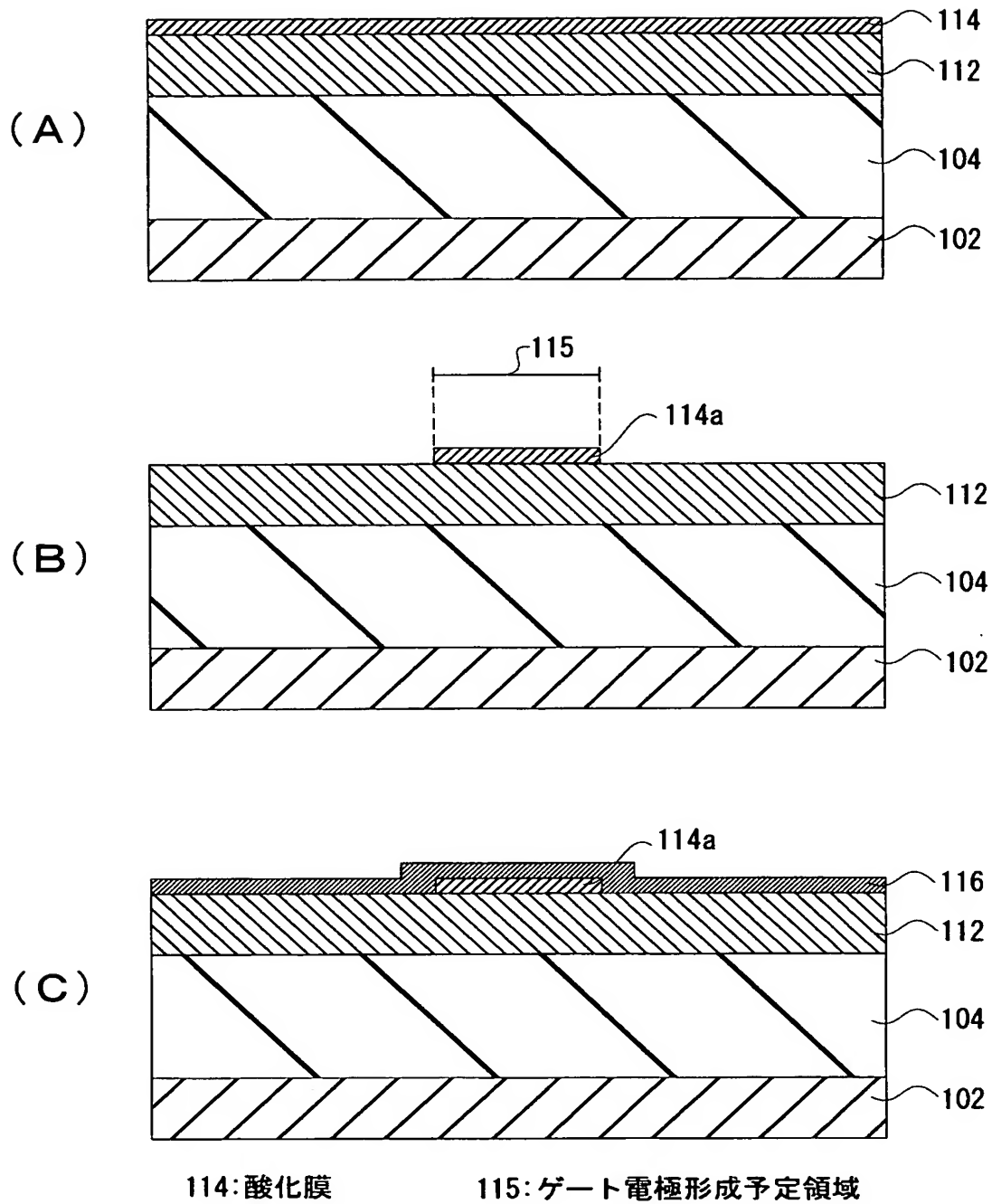
第 1 の実施の形態の半導体装置

【図 2】



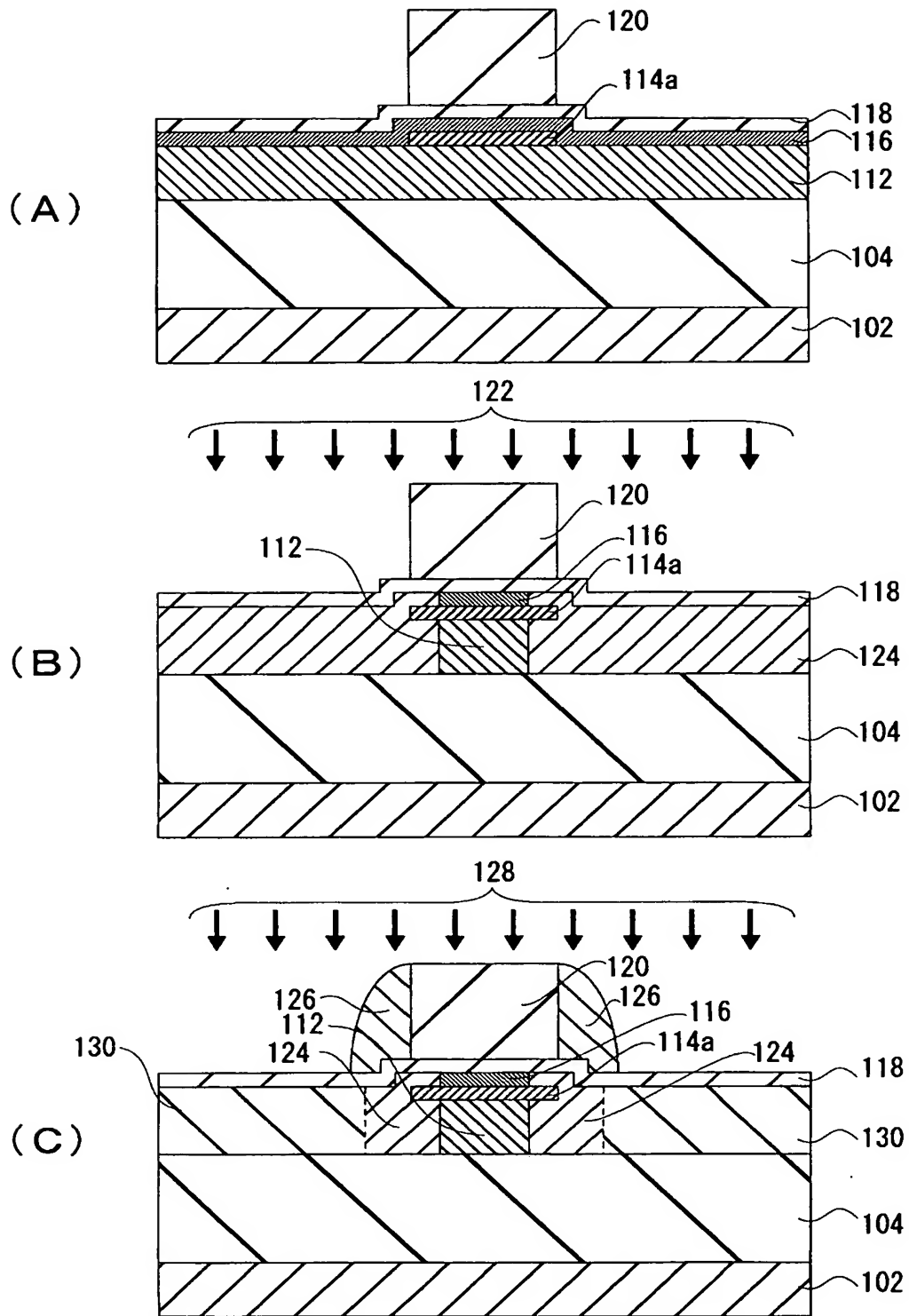
第 1 の実施の形態の製造工程 (その 1)

【図 3】



第 1 の実施の形態の製造工程（その 2）

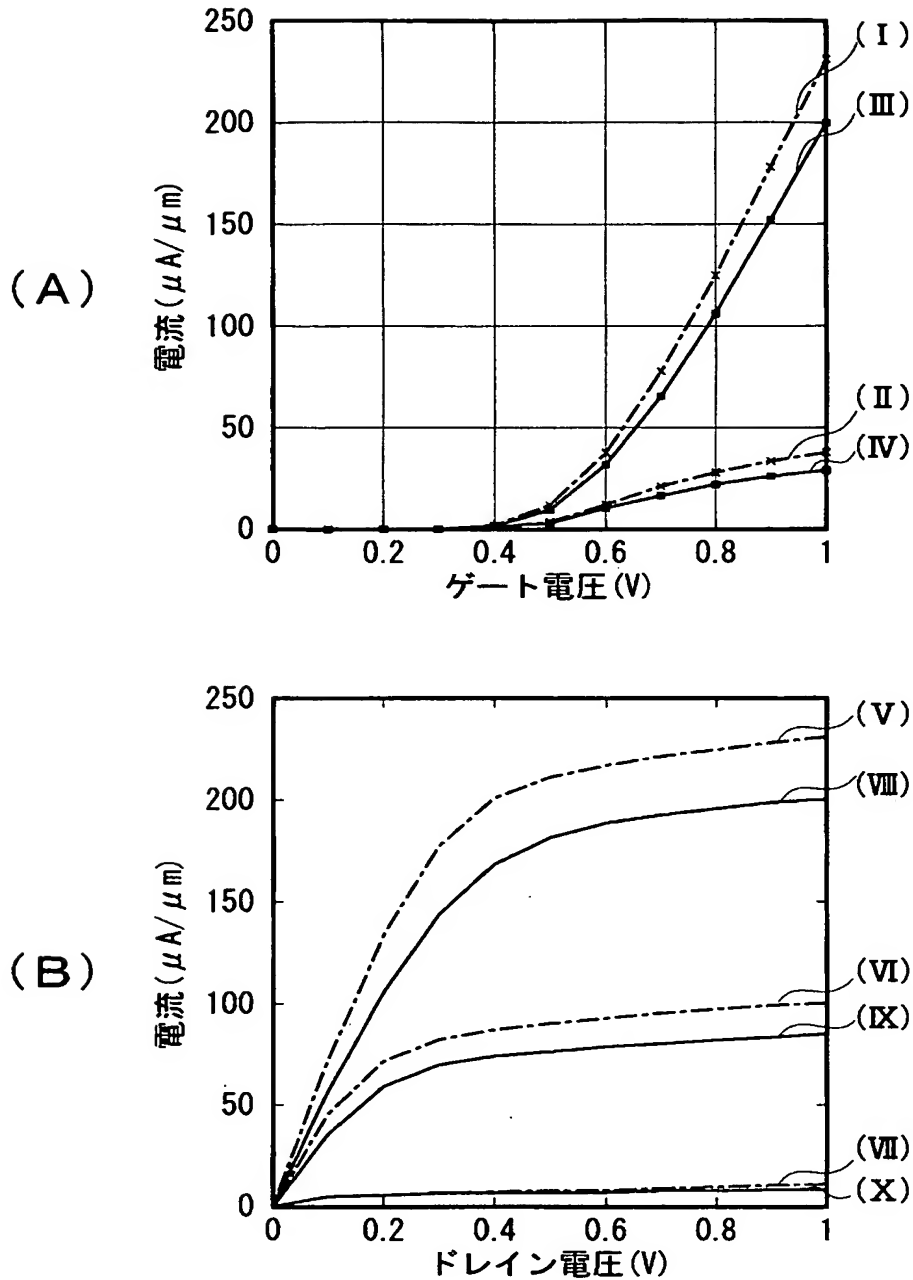
【図 4】



122, 128: 不純物イオン

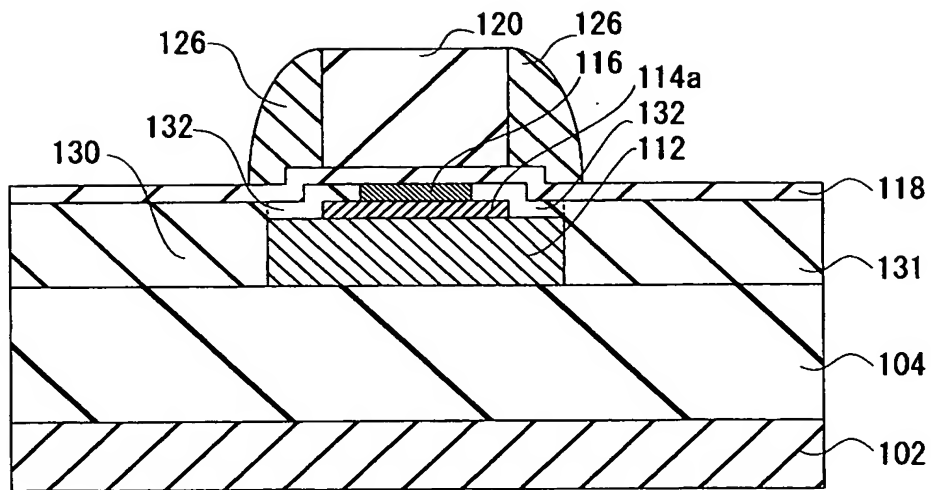
第 1 の実施の形態の製造工程 (その 3)

【図 5】



半導体装置の電流と電圧の関係を表す図

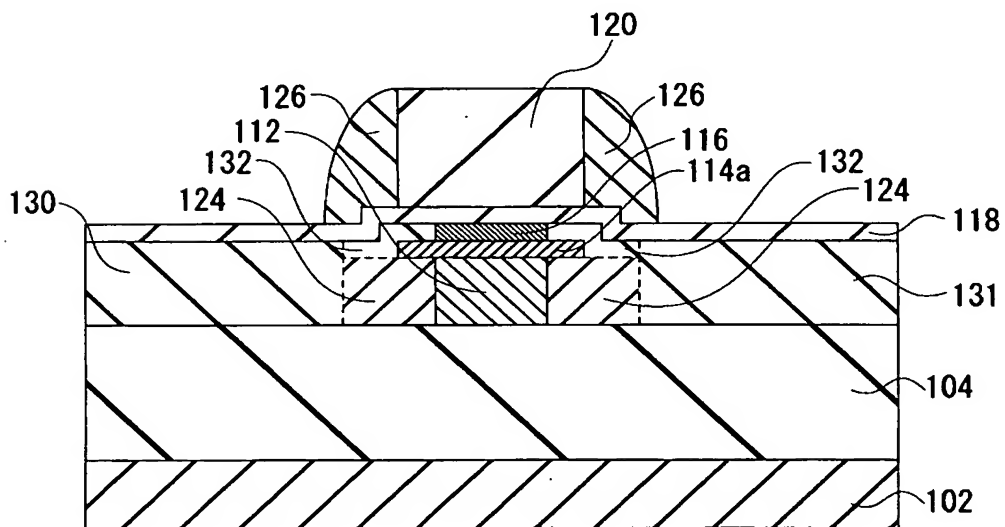
【図 6】



132: エクステンション層

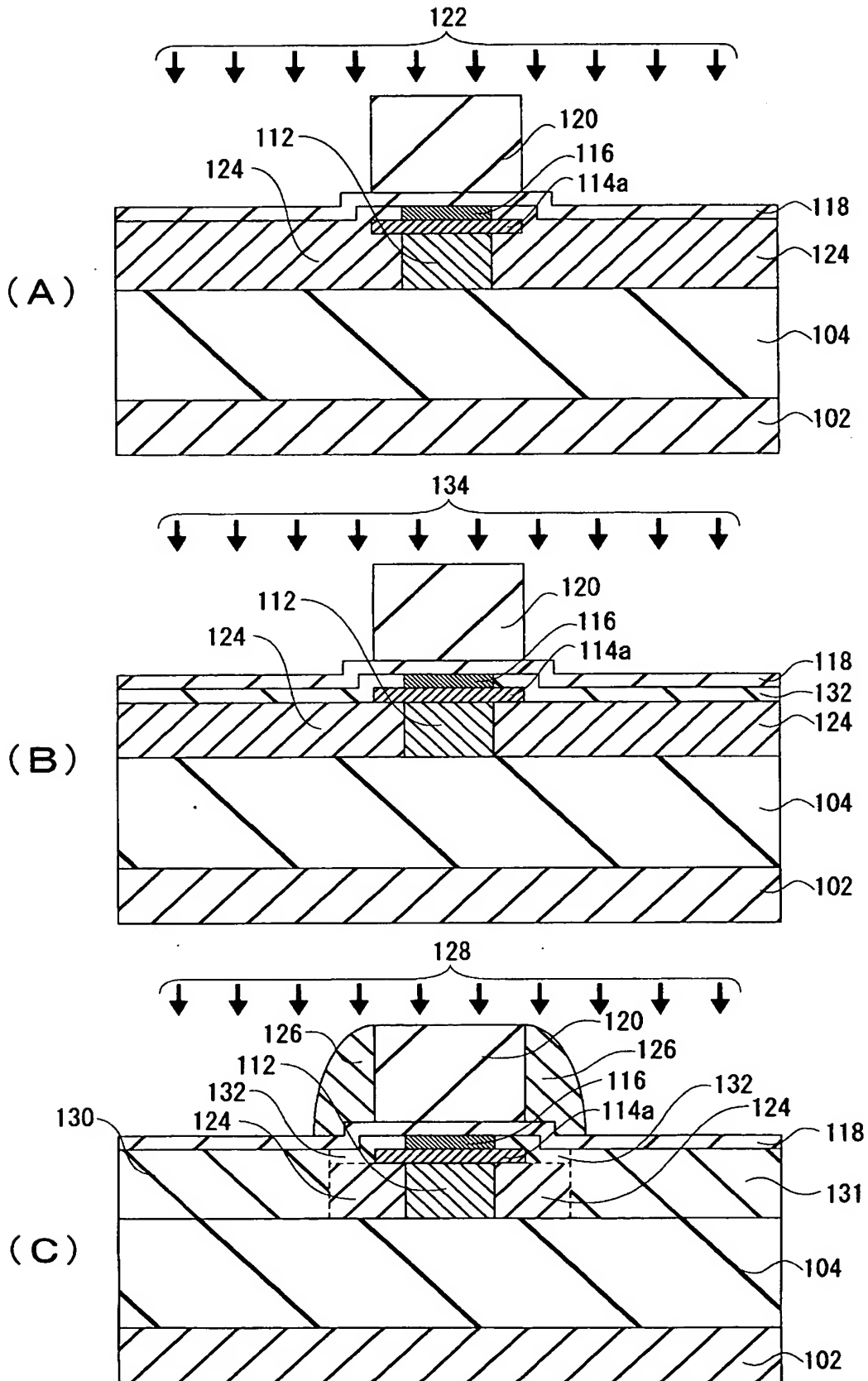
第 1 の実施の形態の半導体装置の変形例

【図 7】



第 2 の実施の形態の半導体装置

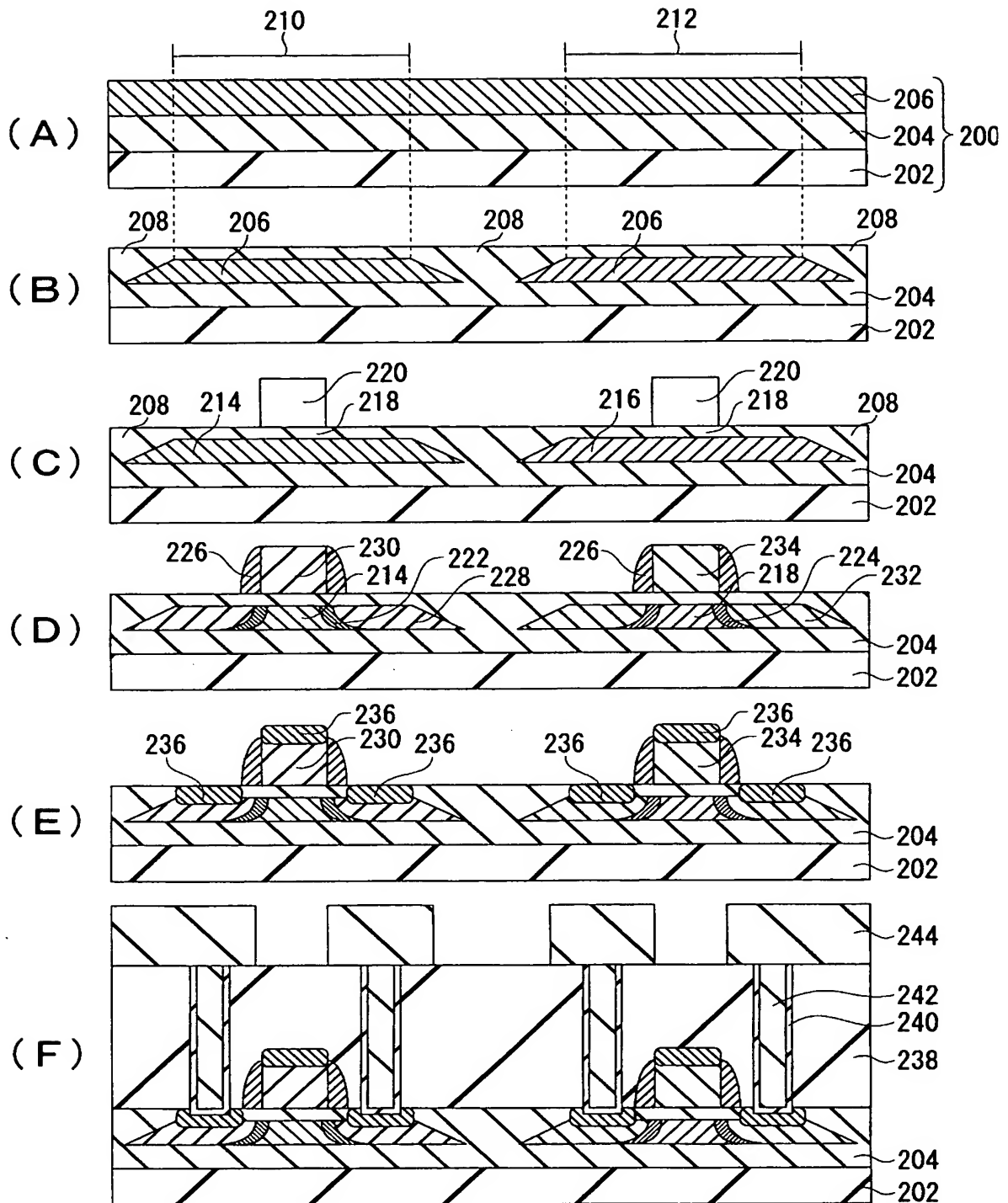
【図 8】



134: 不純物イオン

第 2 の実施の形態の製造工程

【図 9】



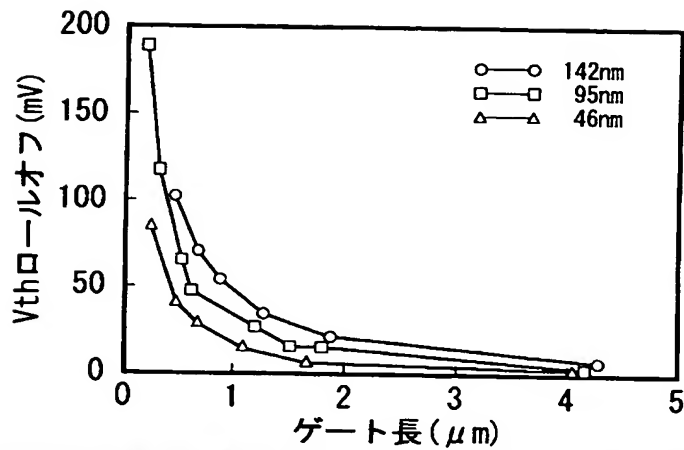
200: SOI基板
 206: SOI層
 212: PMOS形成領域
 218: ゲート酸化膜
 224: p^- 領域
 230: n^+ ポリシリコン膜
 236: シリサイド層
 242: コンタクト

202: Si基板
 208: 素子分離領域
 214: Pウェル領域
 220: ノンドープポリシリコン膜
 226: サイドウォール
 232: p^+ 領域
 238: 層間絶縁膜
 244: 配線

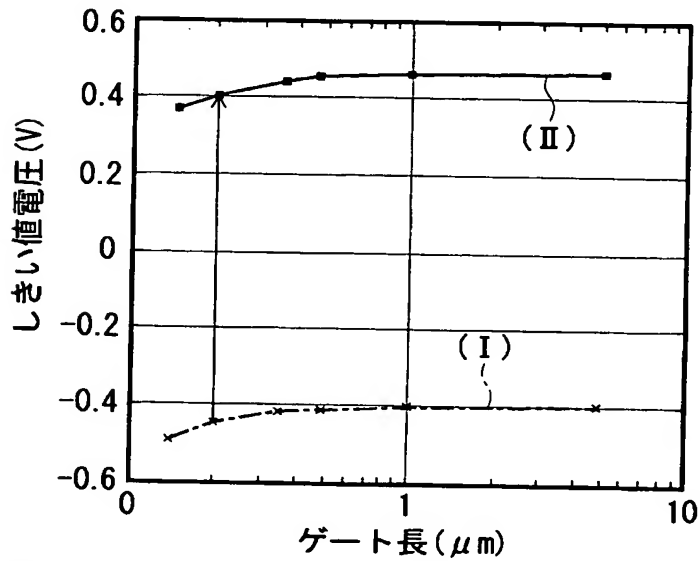
204: BOX層
 210: NMOS形成領域
 216: Nウェル領域
 222: n^- 領域
 228: n^+ 領域
 234: p^+ ポリシリコン膜
 240: バリアメタル

従来の半導体装置の製造工程

【図 10】

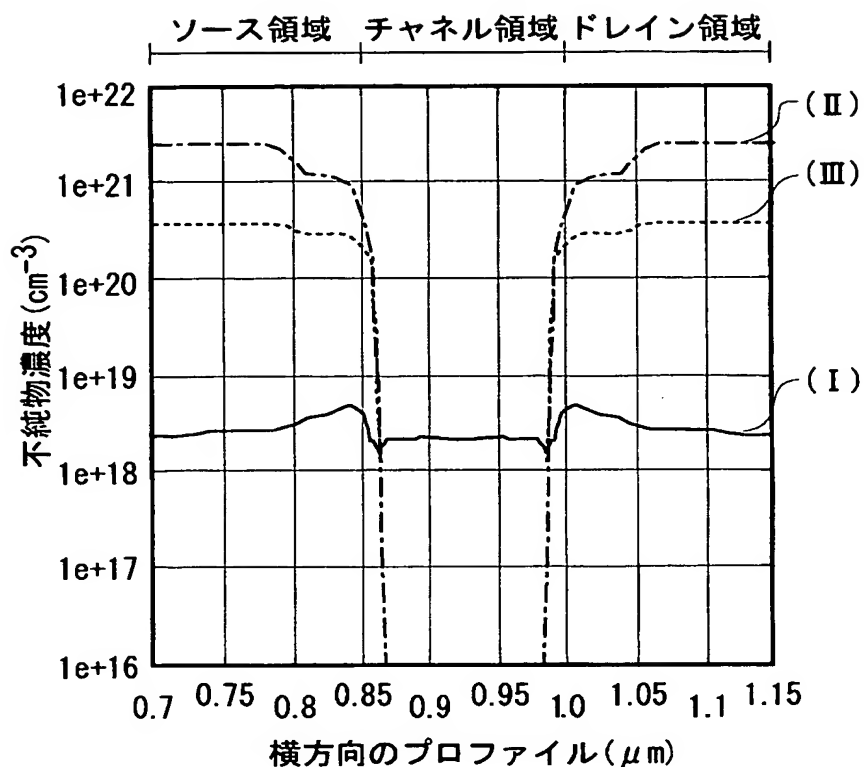
従来の半導体装置のゲート長と V_{th} ロールオフの関係

【図 11】



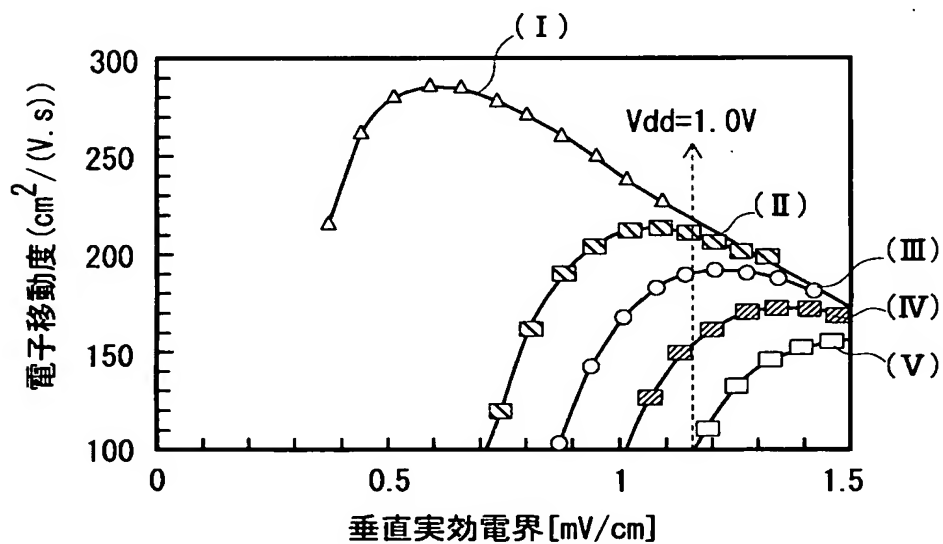
従来の半導体装置のゲート長としきい値電圧の関係

【図 12】



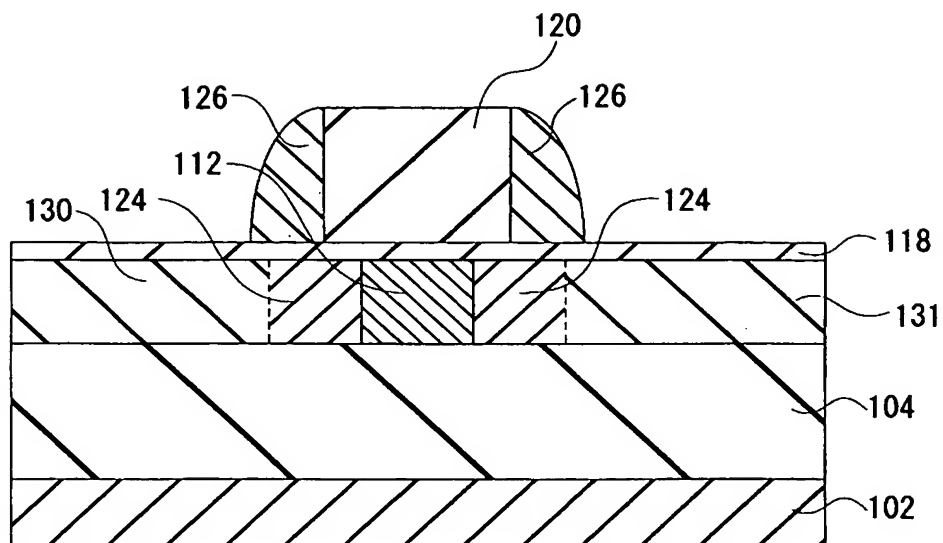
従来の半導体装置の不純物濃度と横方向のプロファイルの関係

【図 13】



従来の半導体装置の垂直実効電界と電子移動度の関係

【図 14】



従来の半導体装置

【書類名】要約書

【要約】

【課題】低オフリーク電流に設定されたSOI基板を用いたMOSFETにおいて、ボディ濃度の上昇に起因するトランジスタの駆動電流の低下を抑制する。

【解決手段】ソース領域130とドレイン領域131との間のSOI層に埋め込み絶縁膜114aが形成され、埋め込み絶縁膜の上部のSOI層領域中にノンドープシリコン膜116が形成されている。埋め込み絶縁膜の下部のSOI層112は、ボディ濃度が 10^{18} cm⁻³以上のSOI層を具える。

【選択図】図1



認定・付加情報

特許出願の番号	特願 2003-296573
受付番号	50301371426
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 8月21日

<認定情報・付加情報>

【提出日】 平成15年 8月20日

特願 2 0 0 3 - 2 9 6 5 7 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社